

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-200324

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 9/46

識別記号

3 6 0 F 7629-5B

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平5-276514

(22)出願日 平成5年(1993)11月5日

(31)優先権主張番号 9 8 3 9 3 0

(32)優先日 1992年12月1日

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 リチャード・エドモンド・フライ

アメリカ合衆国テキサス州78664、ラウン  
ド・ロック、イー・ナコマ 200番地

(74)代理人 弁理士 頓宮 孝一 (外1名)

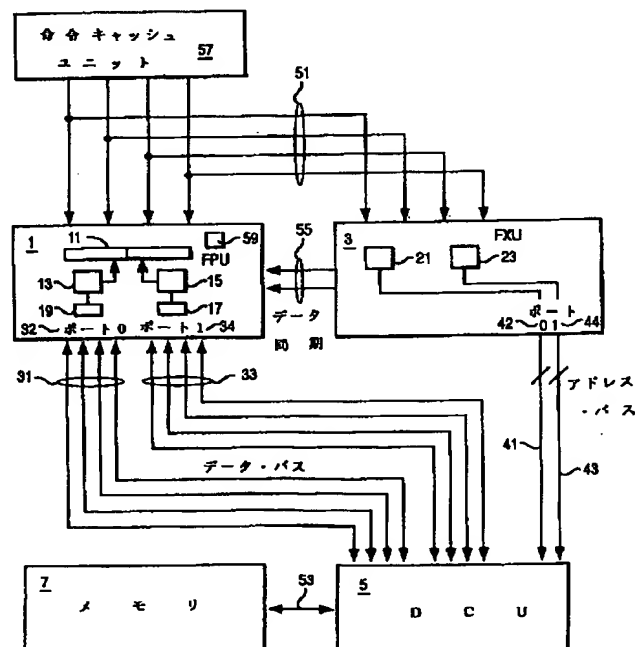
最終頁に続く

(54)【発明の名称】 浮動小数点プロセッサへデータを転送する方法及び装置

(57)【要約】

【目的】 浮動小数点ユニット (FPU) 上で命令の実行を実質的に連続して行うこと。

【構成】 FPU上の命令の実行を連続的に行うことができるように、データ・キャッシュとFPUとの間に2つのデータ・ポート及びデータ・バスを設け、またこれに対応する2つのアドレス・バスを設ける。キャッシュ・ミスが生ずる際に順序外のロードが行われるように、アドレスを供給する固定小数点ユニット (FXU) とFPUとの間の同期が与えられる。このための同期信号として、FPUへ入力されつつあるデータの状況を通知する信号が利用される。もし、一方のデータ・バスに影響を与えるようなキャッシュ・ミスが生ずるなら、このデータに対応する命令が保留される。その後、このキャッシュ・ミスによって影響されない他方のデータ・バスを介して、後続のデータがFPUに与えられる。このようにして、順序外の命令がFPUで実行される。



## 【特許請求の範囲】

【請求項1】第1のデータ経路を介して浮動小数点プロセッサへ第1のデータを供給するステップと；前記第1のデータ経路上のエラー状態を検出するステップと；連続的なデータの流れが前記浮動小数点プロセッサへ与えられるように、第2のデータ経路を介して前記浮動小数点プロセッサへ第2のデータを供給するステップとを含む；浮動小数点プロセッサへデータを転送する方法。

【請求項2】前記第1のデータに対応する第1の命令を記憶するステップと；前記第2のデータに対応する第2の命令を実行するステップと；前記エラー状態が解決されたときに前記第1の命令を実行するステップとを更を含む；請求項1に記載の浮動小数点プロセッサへデータを転送する方法。

【請求項3】前記第1のデータを供給するステップが、前記第1のデータ用の第1のアドレスを生成し且つ当該第1のアドレスを前記第1のデータ経路に対応する第1のアドレス・バスへ加えるステップを含み；前記第2のデータを供給するステップが、前記第2のデータ用の第2のアドレスを生成し且つ当該第2のアドレスを前記第2のデータ経路に対応する第2のアドレス・バスへ加えるステップを含む；請求項2に記載の浮動小数点プロセッサへデータを転送する方法。

【請求項4】前記浮動小数点プロセッサを前記第1及び第2のアドレスを生成する固定小数点プロセッサと同期させるため、前記浮動小数点プロセッサへロード可信号を伝送することにより、前記第1又は第2のデータがロード可能であることを通知するステップと；前記エラー状態が検出されたことに応答して前記浮動小数点プロセッサへロード不可信号を送ることにより、前記第1又は第2のデータ経路からのデータがロード不能であることを通知するステップとを更に含む；請求項3に記載の浮動小数点プロセッサへデータを転送する方法。

【請求項5】前記ロード不可信号を送るステップが、前記エラー状態が存続している間は後続データが前記エラー状態に関係のない前記第1又は第2のデータ経路を介して前記浮動小数点プロセッサへ供給されることを指示するステップを含む；請求項4に記載の浮動小数点プロセッサへデータを転送する方法。

【請求項6】第1のデータ経路を介して浮動小数点プロセッサへ第1のデータを供給する手段と；前記第1のデータ経路上のエラー状態を検出する手段と；連続的なデータの流れが前記浮動小数点プロセッサへ与えられるように、第2のデータ経路を介して前記浮動小数点プロセッサへ第2のデータを供給する手段とを含む；浮動小数点プロセッサへデータを転送する装置。

【請求項7】前記第1のデータに対応する第1の命令を格納する手段と；前記第2のデータに対応する第2の命令を実行する手段と；前記エラー状態が解決されたときに前記第1の命令を実行する手段とを更に含む；請求項

6に記載の浮動小数点プロセッサへデータを転送する装置。

【請求項8】前記第1のデータを供給する手段が、前記第1のデータ用の第1のアドレスを生成する手段及び当該第1のアドレスを前記第1のデータ経路に対応する第1のアドレス・バスへ加える手段を含み；前記第2のデータを供給する手段が、前記第2のデータ用の第2のアドレスを生成する手段及び当該第2のアドレスを前記第2のデータ経路に対応する第2のアドレス・バスへ加える手段を含む；請求項7に記載の浮動小数点プロセッサへデータを転送する装置。

【請求項9】前記浮動小数点プロセッサを前記第1及び第2のアドレスを生成する固定小数点プロセッサと同期させるため、前記浮動小数点プロセッサへロード可信号を伝送することにより、前記第1又は第2のデータがロード可能であることを通知する手段と；前記エラー状態が検出されたことに応答して前記浮動小数点プロセッサへロード不可信号を送ることにより、前記第1又は第2のデータ経路からのデータがロード不能であることを通知する手段とを更に含む；請求項8に記載の浮動小数点プロセッサへデータを転送する装置。

【請求項10】前記ロード不可信号を送る手段が、前記エラー状態が存続している間は後続データが前記エラー状態に関係のない前記第1又は第2のデータ経路を介して前記浮動小数点プロセッサへ供給されることを指示する手段を含む；請求項9に記載の浮動小数点プロセッサへデータを転送する装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は浮動小数点ユニット（FPU）と固定小数点ユニット（FXU）との間のデータ・ロード動作中の同期プロトコルに係り、更に詳細に説明すれば、キャッシュ・ミスが生じた際に、順序外（out of order）のロード動作を許容することにより、プロセッサ・システムの性能を向上させることに係る。

## 【0002】

【従来の技術】FXUとFPUとを結合して、FXUを浮動小数点データのロード及び記憶動作の制御ユニットとして動作させることは、当該技術分野では公知である（以下、特に明記した場合を除き、この「浮動小数点データ」を「データ」と略称し、「浮動小数点命令」を「命令」と略称する）。この点については、本明細書で援用する刊行物“IBM RISC System/6000 Technology”, First Edition, published 1990, pp.24-30を参照されたい。例えば、IBM RISCシステム/6000ワークステーションでは、FXUがFPU用のアドレス生成手段として使用されているために、FXUがデータ・キャッシュ・ユニット（DCU）のデータをアドレスする場合にのみ、このデータがFPUへロードされるようになっている。しかしながら、FPUとFXUとは同期

的な態様で動作しているから、キャッシュ・ミスが生じた場合には、該当するデータをFPUへロードする前に複数の機械サイクルが徒過し得る、という問題がある。このような状況では、FPUは複数の機械サイクルの間はアイドル状態に留まるから、プロセッサ・システムの効率が実質的に低下せざるを得ないのである。

【0003】本明細書で援用する米国特許第4,961,162号は、浮動小数点演算に必要なデータのメモリ・アドレスを計算するために、固定小数点プロセッサを使用することを開示する。米国特許第4,763,294号には、他の従来技術の例として、FPUを中央処理ユニット(CPU)へ結合し、FPUが命令を実行している間に、CPUで或る幾つかの非浮動小数点演算を並行して実行するようにしたシステムを開示する。しかしながら、このFPUには、単一のデータ・ポートが設けられているに過ぎないから、データ・ロード・ミスが生ずると、FPUはこのミスを訂正するに必要な機械サイクルの間はアイドル状態に留まることになる。米国特許第5,150,470号に開示された命令実行回路は、解説済みの命令に対応するデータが利用可能になるとき、これらの命令に実行用のタグを付すようにしている。本明細書で援用する米国特許第5,075,840号は、2台のプロセッサが実行すべき複数の命令を格納するバッファを開示する。IBM Technical Disclosure Bulletin, Vol. 32, No. 12, May 1990, pp. 132-133 は、固定小数点ユニットから命令キャッシュ・ユニットへ同期パルスを送ること及びロード又は書き込み中のワードについて変換エラーを予測するための方法を開示する。

【0004】IBM Technical Disclosure Bulletin, Vol. 35, No. 1B, June 1992, pp. 398-399 は、或る種の固定小数点命令に関して固定小数点及び浮動小数点命令の実行を調整及び制御するためのカウンタを開示する。このカウンタがゼロより大きい数を有する場合のみ、FPUは一の浮動小数点命令を完了することができるようにされているので、実行された浮動小数点命令が取り消されることはない。しかしながら、この刊行物には、キャッシュ・ユニットとFPUとの間に複数のデータ・ポートを設けることは全く開示されていない。

#### 【0005】

【発明が解決しようとする課題】前述の内容から明らかに、データ・ロード・ミスの存在に拘わりなく、浮動小数点ユニット(FPU)上で命令の実行を実質的に連続して行うことを可能にするようなプロセッサ・システムを提供することが望ましい。

#### 【0006】

【課題を解決するための手段】本発明によれば、FPU上の命令の実行を連続的に行うことができるように、データ・キャッシュと浮動小数点ユニット(FPU)との間に2つのデータ・ポート及びデータ・バスが設けられ、またこれに対応する2つのアドレス・バスが設けら

れる。更に、キャッシュ・ミスが生ずる際に順序外のロードが行われるように、アドレスを供給する固定小数点ユニット(FXU)とFPUとの間の同期が与えられる。

【0007】一般的に説明すれば、本発明のFPUには、2つのデータ・ポートに加えて、これに対応するデータ・レジスタ、データ・バス及びデータ回転手段が設けられる。これらの回転手段には、複数の浮動小数点レジスタが接続される。FPUとデータ・キャッシュ・ユニット(DCU)との間でデータを転送することができるように、FPUのデータ・ポートは、それぞれ別個のデータ・バスを介してDCU上の対応するデータ・ポートへ接続される。FPUへ入力されつつあるデータのアドレスをDCUへ供給するように、FXUは、前記データ・バスに対応する2つのアドレス・バスを通してDCUと相互接続される。更に、DCUからのデータがFPUへ連続的に入力されるように、FXUからFPUへ同期信号が供給され、従ってFXUとFPUとは互いに通信関係にある。この同期によれば、いずれか一方のデータ・バス上に存在し得るエラー状態(キャッシュ・ミス)とは関係なく、DCUからFPUへデータを転送することができるようになる。もし、一方のデータ・バスに影響を与えるようなキャッシュ・ミスが生ずるなら、このデータに対応する命令が保留される。その後、前記キャッシュ・ミスによって影響されない他方のデータ・バスを介して、後続のデータがFPUへ供給される。このようにして、順序外の命令の実行がFPUで実現されるのである。

【0008】同期信号は、FPUへ入力されつつあるデータの状況を通知する信号を含んでいる。例えば、「ロード可」(LD1\_RDY)信号は、FPUに対し、入力データが第1のデータ・ポートに対応するデータ・バス上にあって、FPUへロードする準備が完了していることを通知する。それとは逆に、「ロード不可」(LD1\_NRDY)信号は、浮動小数点ロードがFXUで成功裏に実行されたが、キャッシュ・ミスのようなエラーが存在するために、FPUはこのデータをその第1のデータ・ポートでまだ利用できないことを通知する。他の「データ・レジスタ・ロード」(LD1\_DREG)信号は、FPUに対し、第1のデータ・ポートから対応するデータ・レジスタへデータをロードするように通知する。またFXUは、FPUに対し、データ・レジスタ中にあるロード済みのデータを回転して正しいフォーマットへ整列させるように、すなわち最上位(most significant)のデータ・ワードを最上位のワード位置へシフトして浮動小数点レジスタに置くように指示する。

【0009】前述の各同期信号をFXUからFPUへ送るようにすると、FPUへのデータの定常的な流れを保証することが可能となり、かくてプロセッサ・システムの効率及び性能を向上させることができる。

## 【0010】

【実施例】図1は、RISCシステム／6000のようなワークステーション用のプロセッサ・チップ・セットを示す。このチップ・セットは、メモリ7、データ・キャッシュ・ユニット(DCU)5、固定小数点ユニット(FXU)3及び浮動小数点ユニット(FPU)1を含む。図1はこれらの機能要素をそれぞれ別個のチップとして示しているが、必要に応じてこれらの機能要素を単一のチップ上に搭載しても良い。メモリ7はRAM形式のものであり、バス53を介してDCU 5と通信する。このようにして、メモリ7からDCU 5へデータが供給される。このデータは浮動小数点形式のものであり、DCU 5からデータ・バス31及び33を介してFPU 1へ通信される。本発明に従って、浮動小数点データを転送するための2つのデータ・バス31及び33が設けられ、順序外のデータ・ロード及び命令の実行を行うことができるように、これらのデータ・バスが交互に制御される。データ・バス31及び33は、対応するデータ・ポート32及び34(ポート0及び1)を通して、FPU 1へデータをそれぞれ供給する。データ・バス31及び33は、2つの128ビット・バスとして動作するように、4つの32ビット・データ・ワードをそれぞれ通信することができる。データ・レジスタ19及び17は、データ・ポート32及び34からデータ・ワードをそれぞれ受け取るとともに、これらのデータ・ワードを一時的に格納する。必要に応じて、データ・レジスタ19及び17からのデータ・ワードが回転手段13及び15でそれぞれ回転されて、浮動小数点レジスタ11に置かれる。DCU 5からFPU 1へ単一ワードが移動されている場合、このワードを浮動小数点レジスタ11中の最上位のワード位置へ回転させる必要がある。勿論、FPU 1で「ダブルワード・ロード」が生ずる場合は、後の実行に備えてこのデータを浮動小数点レジスタ11へ移動させる前に、「ロード・ダブル回転」を行うことによって2つの単一ワードが最上位の2つのワード位置に置かれる。データの回転については、以下で詳述する。

【0011】データが浮動小数点レジスタ11に置かれた後、FPU 1及びFXU 3によって浮動小数点命令が同期的に実行される。これらの命令は、命令キャッシュ・ユニット57から命令バス51を介してFPU 1及びFXU 3へ通信される。命令キャッシュ・ユニット57は、これらの命令をメモリ7から受け取る。浮動小数点演算は、これを必要とする(適用業務プログラム、オペレーティング・システム又は他のルーチンのような)プロセスによって使用される。

【0012】FXU 3は、FPU 1へ入力すべきデータ・ワードのアドレス情報を、DCU 5へ供給する。このアドレス情報は、本発明の順序外命令機構が動作することを可能にする。アドレス・バス41及び43

は、アドレス情報をDCU 5へ供給する。アドレス・バス41及び43は、FXU 3のアドレス・ポート42及び44(ポート0及び1)にそれぞれ対応する(なお、後者のポート0及び1は、FPU 1のポート0及び1にそれぞれ対応する)。アドレス・ポート42及び44に対応するアドレス生成手段21及び23は、DCU 5中に置かれているデータの実際のFPUアドレスを供給する。アドレス生成手段21又は23のどちらもこのアドレスを生成し得るが、アドレス・バス41又は43のどちらにこのアドレスが供給されるかということに応じて、FPU 1へデータを送るべきデータ・バス31又は33が決まる。一層具体的に説明すると、アドレス・バス41とデータ・バス31は互いに関連していて、FXU 3からアドレス・バス41を介してDCU 5へアドレスが供給される場合は、データ・バス31を介してFPU 1のデータ・ポート32へデータが送られるようになっている。同様に、アドレス・バス43を介してアドレスが供給される場合には、データ・バス33を介してFPU 1のデータ・ポート34へデータが送られる。従って、FXU 3からの生成済みアドレスをアドレス・バス41又は43のどちらが転送するかということに応じて、DCU 5中のデータをFPU 1のデータ・ポート32又は34のいずれかへ入力することができる。このように、データ・バス31又は33を介してデータが転送されるので、FXU 3とFPU 1との間の動作を調整することが必要となる。このため、両者間に同期バス55を設けて、FPU 1へ同期信号を供給しなければならない。同期バス55は、データを受け取るべきデータ・ポートをFPU 1に知らせるように、FXU 3からFPU 1へ同期信号を転送する。FXU 3とFPU 1との間の同期については、図3を参照して以下で詳述する。

【0013】図2は、本発明に従ってFPU 1へデータをロードするために、順番に生じなければならない複数の事象のシーケンスを示す。最初に、FXU 3中のアドレス生成手段21又は23がアドレスを計算し、次いで、これをアドレス・バス41又は43を介してDCU 5へ加える。このアドレスを転送するアドレス・バス41又は43が決まると、該当データをFPU 1へ転送するために使用されるデータ・バス31又は33が決まり、ひいてはこのデータを受け取るべきデータ・ポート32又は34が決まる。次に、このデータはFPU 1へ供給され、そのデータ・レジスタ17又は19へロードされる。次に、このデータの位置合わせが行われて、このデータが最上位のワード位置にシフトされる。最後に、位置合わせ済みのデータが浮動小数点レジスタ11へ移動される。

【0014】以下では、FXU 3から同期バス55を介してFPU 1へ通信されるような同期信号を示す図3を参照して、本発明を一層詳細に説明する。ここで、

10

20

30

40

50

データ・バス 31 及び 33 並びにそれらに関連する FPU 1 のデータ・ポート 32 及び 34 の各々毎に 1 組の同期信号が利用されている、という点に注意すべきである。

【0015】図示された最初の同期信号は、「浮動小数点ロード可」(XOU\_FL\_LD<sub>x</sub>\_RDY) 信号である。本発明の同期信号の全てに設けられた位置「x」の内容は、FPU 1 のデータ・ポート 32 及び 34 のうちどちらがデータを受け取るかということを指示する。図 1 に示すように、データ・ポート 32 及び 34 は、FPU 1 上で「ポート 0」及び「ポート 1」としてそれぞれ表記されている。かくて、もしこの「浮動小数点ロード可」信号がポート 1 へ入力されつつあるデータに対応するのであれば、この信号は実際には (XOU\_FL\_LD1\_RDY) のように構成される。この場合の「1」は、ポート 1 に対応する。勿論、「1」の代わりに「0」を持つ同じ信号は、ポート 0 へ転送中のデータに対応する。

【0016】この「浮動小数点ロード可」信号は、FPU 1 に対し、データ・キャッシュ・ユニット (DCU) 5 中のデータがアドレス・バス 41 又は 43 のどちらからアクセスされたかに応じて、このデータが対応するデータ・バス 31 又は 33 のいずれかに現に置かれていることを通知する。このアドレスが与えられると、DCU 5 中のデータがアドレスされ、次いで関連する適当なデータ・バス 31 又は 33 上に置かれる。

【0017】FXU 3 から FPU 1 へ「浮動小数点ロード不可」(XOU\_FL\_LD<sub>x</sub>\_NRDY) 信号が供給されるのは、DCU 5 中でキャッシュ・ミスが検出されたために、FPU 1 へロードすべきデータがまだ該当するデータ・バス上に現れていないような場合である。この信号は、FPU 1 に対し、当該キャッシュ・ミスが依然として存在している間に、次に続く浮動小数点ロード命令が生ずるような場合には、そのデータが他方のデータ・ポートに到着するようになっていることを通知する。この「浮動小数点ロード不可」信号について注意すべきは、これが FPU 1 に対し次のこと、すなわちデータを受け取ると予測されたデータ・バスが使用中であって、しかも当該キャッシュ・ミスが存在する間に他のデータ・ロードが生じる場合には、次のデータが (当該キャッシュ・ミスによって影響されない) 他方のデータ・バスに受け取られるようになっていること、を通知するという点である。通常の場合、FXU 3 はかかる命令を実行し、FPU 1 はデータにかかる命令と関連付ける。「浮動小数点ロード不可」信号を受け取ると、FPU 1 は、キャッシュ・ミスに起因してデータが転送されないことを確認する。この場合、FPU 1 は、このキャッシュ・ミスが影響を与えているデータ・バス上のデータに関連するような命令格納バッファ 59 に当該命令を保留する。この命令が保留されるの

は、該当する「浮動小数点ロード可」信号が受け取られるまでである。その間、FPU 1 は、かかる保留済みの命令及びその関連データをキャッシュ・ミスの解決後に処理する前に、他方のデータ・バスに受け取られるデータに関連する命令を実行する (順序外の実行及びデータ・ロード)。例えば、DCU 5 からデータ・バス 31 及び 33 へデータがロードされている間に、データ・バス 31 へロードすべきデータについて DCU 5 中でキャッシュ・ミスが生ずるなら、データ・バス 31 (ポート 0) に該当する「浮動小数点ロード不可」信号は、FPU 1 に対し、このデータに関連する命令を保留するように通知する。この場合、当該キャッシュ・ミスが解決される前に、FPU 1 に対する他のデータ・ロードが生ずるなら、そのデータはデータ・バス 33 (ポート 1) に到着することになる。このように、データ・バス 31 上のデータ及び関連する命令がキャッシュ・ミスの期間中は保留されるようになっているから、キャッシュ・ミスの解決前に FPU 1 に対する他のロードが生ずる場合は、次のデータがデータ・バス 33 に置かれて、その関連する命令が順序外で実行されることになる。

【0018】「浮動小数点データ・レジスタ・ロード」(XOU\_FL\_LD<sub>x</sub>\_DREG) 信号は、FPU 1 中に設けられたデータ・レジスタ 17 及び 19 へのローディングを制御する。この信号は、FPU 1 に対し、データ・ポート 32 及び 34 からデータ・レジスタ 19 及び 17 へそれぞれデータを移動するように通知する。ポート 0 及び 1 に対応して 4 つの 32 ビット・データ・レジスタ 17a-17d 及び 19a-19d がそれぞれ設けられていて、その各々はデータ・バス 31 及び 33 の各々から 32 ビットのデータ・ワードをそれぞれ受け取るようにされている (図 3 及び図 4 参照)。因みに、データ・バス 31 及び 33 の各々は、4 つの 32 ビット・バス 0-3 をそれぞれ含んでいる (図 3 及び図 4 参照)。各ポートに加えられる 4 ビットは、当該ポートに関連する 4 つのデータ・レジスタを制御する。すなわち、16 進数の信号が、それぞれのポートからどのデータ・レジスタへデータがロードされるかということを指示する。例えば、(XOUFL\_LD<sub>x</sub>\_DREG (0...3)=B'0011') という信号は、128 ビット幅のデータ・バス 31 又は 33 からデータ・レジスタ 2 及び 3 (例えば、17c 及び 17d) へ対応する複数のデータ・ワードをロードさせるように作用する。

【0019】前述のように、FPU 1 へ供給されるデータは位置合わせされなければならない。「浮動小数点データ回転」(XOU\_FL\_ROT\_LF) 信号は、データが浮動小数点レジスタ 11 に置かれるとき、かかるデータのシフティングを制御して、最上位のデータ・ワードが最初の、すなわち最上位のワード位置に置かれ

10

20

30

40

50

るようにする。かかるデータを回転させるために使用される制御信号は、2進数の00、01、10及び11であり、これらは回転量0、1、2及び3にそれぞれ対応する。かくて、このデータ回転信号は、回転量をも指示する。例えば、(XOU\_FL\_ROT\_LF<sub>x</sub>

(0...3)=B'01')という信号は、データ・ワードを1ワード位置だけ回転させる。これらの同期信号の実際の機能については、本発明の全体的な動作の説明と関連付けて以下で詳述する。

【0020】次に、図4を参照して、FXU 3からFPU 1へ供給されるデータ回転制御信号を説明する。ここで、DCU 5からデータ・バス31又は33及び対応するデータ・ポート32又は34を介してFPU 1へ供給されるデータは、同一の態様で回転されることに注意されたい。従って、図4のデータ・バスには、図面の内容を簡潔にするため、図1のデータ・バスと同じ参照番号31及び33が一括して付されている。レジスタ17a-17d及び19a-19dは、データ・レジスタ17及び19を構成するような4つの32ビット・データ・レジスタである。128ビット幅のデータ・バス31及び33の各々はそれぞれ4つの32ビット・データ・バス(0-3)を含んでおり、その各々はデータ・レジスタ17a-17d及び19a-19dの1つにそれぞれ対応する。これらの32ビット・バスの各々は、DCU 5からの単一データ・ワードをそれぞれ転送する。かくて、32ビット・バス0-3の各々がデータ・ワードをそれぞれ含む場合は、クワッド・ロード動作が生ずることになる。FPU 1に設けられた回転手段13及び15は、図1に加えて図4にも図示されている。図4は、単一のロード動作を示す。すなわち、1データ・ワードがレジスタ17c又は19cから供給されている。このデータ・ワードを適当なワード位置に置くために、FXU 3はFPU 1へデータ回転用の信号を送ることにより、このデータ・ワードを最上位のデータ・ワード位置へ回転させる。図示の例の場合、(XOU\_FLROT\_LF(0...1)=B'10')信号が、FPU 1へ与えられる。この信号中の2進数10は、FPU 1に対し、このデータを2ワード位置だけ回転するように通知する。かくて、レジスタ17c又は19c中にあるデータは、これが浮動小数点レジスタ11へ入力されるとき、2ワード位置だけ回転されて最上位のワード位置に置かれるのである。

【0021】図5は、前述の動作を、プロセッサ・システム内の機械サイクルと関係付けて示したものである。サイクル1では、単一のデータ・ワードを浮動小数点レジスタ11にロードするための「浮動小数点シングル・ロード動作」(LFS OP)が、FXU 3によって開始される。また、サイクル1の間には、FXU 3が実効アドレス(E/A)を生成して、このアドレスをDCU 5のアドレス・バス41又は43(図1参照)に

置く。かくて、サイクル1の間、FXU 3は「浮動小数点シングル・ロード動作」を開始し、DCU 5中のデータに対するアドレスを生成するとともに、これをDCU 5中のデータに適用するのである。このアドレスは該当するデータをアクセスして、これをそのアドレス・バス(当該アドレスを転送したアドレス・バス)に関連するデータ・バスに置く。このようにして、このデータを、DCU 5からFPU 1のポート32又は34へ送ることができるのである。前述のように、アドレス・バス41及び43はデータ・バス31及び33とそれぞれ関連しているから、アドレス・バス41を介してアドレスが到着する場合は、これに関連するデータ・バス31を介してFPU 1へデータが送られることになる。同様に、アドレス・バス43を介してアドレスが到着する場合は、データ・バス33を介してデータが送られる。

【0022】サイクル2では、FXU 3からFPU 1へ同期信号が転送される(図面を簡潔にするため、各同期信号は簡略的に示されている)。この例では、キャッシュ・ミスが存在しないものと仮定しているから、「ロード不可」(LD<sub>x</sub>\_NRDY)信号は使用されない。FXU 3はFPU 1へ「ロード可」(LD<sub>x</sub>\_RDY)信号を送ることにより、FPU 1に対し、データ・バス31又は33上の現データがデータ・レジスタ19又は17へ移動可能であることを通知する。「データ・レジスタ・ロード」(LD<sub>x</sub>\_DREG)信号がFPU 1へ送られると、DCU 5からデータ・バス31又は33に置かれたデータがデータ・レジスタ17又は19へロードされる。次の「ロード・回転」(LD<sub>x</sub>\_ROT)信号は、データが浮動小数点レジスタ11へロードされる際、最上位のデータ・ワードが第1のワード位置にくるようにこのデータを回転手段13又は15により位置合わせさせる。勿論、図3に示すように、データ・ポート32及び34に対応する2組の同期信号を使用すると、DCU 5からデータ・バス31及び33を介してFPU 1へデータを並列に移動させることができる。かくて、DCU 5からFPU 1へデータが2機械サイクル以内に移動される。

【0023】次に、図6を参照して、データ・キャッシュ(DC)ミスが生ずる場合の本発明の動作を説明する。

【0024】サイクル1において、FXU 3は「浮動小数点シングル・ロード動作」(LFS OP)を開始し、実効アドレス(E/A)を生成するとともに、このアドレスをDCU 5に至るアドレス・バス41又は43に置く。次のサイクル2の間には、DCU 5の内部でDCミスが生ずるので、データ・バス31又は33にデータを置くことはできない。一般に、キャッシュ・ミスとは、キャッシュ・ユニット中に要求データが存在しないことを意味する。かくて、このDCミスに基づい

て、FXU 3からFPU 1へ「ロード不可」(LDx\_NRDY) 信号を供給することにより、FPU 1 に対し、このポート(1又は0)には保留中のロードが存在すること、及び他の命令に遭遇するときに当該DCミスが依然として存在する場合には、他のポートを調べて次のデータを獲得すべきことを通知する。かくて、FPU 1は、受け取るべき次のデータ・ワードとして、順序外のロードを取るようになる。

【0025】サイクルnでは、データ・キャッシュ(DC)ミスが解決されているから、「ロード可」(LDx\_NRDY) 信号がFPU 1へ与えられる。次いで、FPU 1は、このDCミスに関連するデータ・バス31又は33でデータを待機する。次いで、「データ・レジスタ・ロード」(LDx\_DREG) 信号がFPU 1へ供給されて、データがFPU 1中のデータ・レジスタ17又は19へ移動される。次の「ロード・回転」(LDx\_ROT) 信号は、データ・レジスタ17又は19中のデータの位置合わせを行わしめる。これが行われた後、このデータをFPU 1へ移動させて、命令キャッシュ・ユニット57から命令バス51を介して受け取られる浮動小数点命令に関連してこのデータが使用されるようにする。後続のDCミスが存在しないものと仮定すると、本発明のプロセッサ・システムは、「ロード可」、「データ・レジスタ・ロード」及び「ロード・回転」信号を使用することにより、FPU 1へのローディングを継続する。このようにして、FPU 1は、順序外のデータ・ロード及び命令の実行を行うことができる。もし、DCミスが依然として存在している間に他の浮動小数点ロード命令に遭遇すると、FPU 1は他のデータ・バス(31又は33)からデータを獲得する。この場合、アドレス生成手段21又は23は、DCミスによって影響されない一方のデータ・バス31又は33に対応するアドレス・バス41又は43上にアドレスを置いている筈である。かくて、本発明が順序外のロード実行をどのように行うかということが理解されよう。

【0026】図7は、データ・ポート32及び34(ポート0及び1)の双方が同時に使用されており且つデータ・バス31に置くべきデータについてデータ・キャッシュ(DC)ミスが生ずる場合の、関連するデータ・バス31及びアドレス・バス41並びにデータ・バス33及びアドレス・バス43上の一連の動作を示す。サイクル1において、FXU 3は、データ・バス31及び33からFPU 1へデータをロードするための、2つの「浮動小数点シングル・ロード動作」(LFS0及びLFS1)を開始する。またFXU 3は、これらの2組のデータに対する実効アドレス(E/A)を生成し、これをアドレス・バス41及び43を介してDCU 5へ加えることにより、DCU 5からのデータがデータ・バス31及び33を介してFPU 1のデータ・ポート32及び34の双方へ転送されるようにする。サイクル

2では、FXU 3からFPU 1へ「ロード不可」(LD\_NRDY0) 信号が送られ、データ・バス31(ポート0)に置くべきデータについてデータ・キャッシュ(DC)ミスのようなエラーが生じたことを指示する。この「ロード不可」(LD\_NRDY0) 信号は、FPU 1に対し、次の「浮動小数点シングル・ロード動作」(LFS)を開始している間にDCミスが依然として存在している場合は、次のデータがデータ・バス33からポート1に受け取られることを通知する。またサイクル2では、データ・バス33上の第1のデータに対する「ロード可」(LD\_RDY1) 信号が、「データ・レジスタ・ロード」(LD1\_DREG1) 及び「ロード・回転」(LD\_ROT1) 信号とともに、FPU 1へ送られる。サイクル3では、DCミスは依然として未解決であり、従ってデータ・バス31上のデータについては何の変化も生じない。しかしながら、サイクル2の間の「ロード可」(LD\_RDY1) 信号に基づいて、浮動小数点レジスタ11は第1のデータをロードされる。同時に、サイクル3では、データ・バス33上の第2のデータに対応する他の「ロード可」(LD\_RDY2) 信号が、「データ・レジスタ・ロード」(LD\_DREG2) 及び「ロード・回転」(LD\_ROT2) 信号とともに送られる。また、サイクル3の間には、第3のデータについて第3の「浮動小数点シングル・ロード動作」(LFS3)が開始される。

【0027】サイクル4では、「第2のデータを浮動小数点レジスタにロードする動作」(LD\_FPR2) が、第3のデータに対する「ロード可」(LD\_RDY3)、「データ・レジスタ・ロード」(LD\_DREG3) 及び「ロード・回転」(LD\_ROT3) 信号とともに生じる。これらの信号は、データ・バス33上のデータについて、FXU 3からFPU 1へ供給されるものである。サイクル5では、データ・バス31についてDCミスが解決され、そして「ロード可」(LD\_RDY0)、「データ・レジスタ・ロード」(LD\_DREG0) 及び「ロード・回転」(LD\_ROT0) 信号がFPU 1へ供給されて、このデータ・バス31上にデータが存在することを指示する。更に、浮動小数点レジスタ11は、データ・バス33から第3のデータをロードされる(LD\_FPR3)。データ・バス31からのデータは、サイクル6の間に、浮動小数点レジスタ11へロードされる(LD\_FPR)。

【0028】次に、図8を参照して、図3及び図7に示した種々の信号間の同期を説明する。図8の各サイクルは、図7の各サイクルに対応する。サイクル2では、データ・バス31に対する「ロード不可」(LD0\_NRDY) 信号は2進の1にあって、該当データが(DCミスに起因して)ロード不能であることを指示する。この場合、かかるデータをデータ・バス31に置く準備はできていないから、「データ・レジスタ・ロード」(LD

0\_DREG) 及び「ロード・回転」(ROT\_LF0) 信号は無効にされる。すなわち、データ・レジスタ31については、どのデータ・レジスタにロードすべきか又はこのデータをどれだけ回転すべきか、ということを示すデータは存在しないのである。これに対し、データ・バス3については、「ロード可」(LD1\_RDY) 信号は活動的であるから、これに応じて「データ・レジスタ・ロード」(LD1\_DREG) 及び「ロード・回転」(ROT\_LF1) 信号が有効にされる。すなわち、これらの機能に関するデータが存在するのである。サイクル3では、DCミスが依然として存在するから、データ・バス31からロードすべきデータについては同期信号が存在しない。データ・バス33に関して言えば、「ロード可」(LD1\_RDY) 信号が活動的であるから、「データ・レジスタ・ロード」(LD1\_DREG) 及び「ロード・回転」(ROT\_LF1) 信号はいずれも有効である。サイクル3とサイクル4との間では、プロセッサ・システムには如何なる変化も見られない。というのは、データ・バス31上にはDCミスが依然として存在しており、しかも他の「ロード可」(LD1\_RDY) 信号が活動的であるからである。サイクル5では、DCミスが解決され、これに対応して「データ・レジスタ・ロード」(LD0\_DREG) 及び「ロード・回転」(ROT\_LF0) 信号が有効となる。更に、後続のサイクル6では、アイドル状況に戻る。

#### 【0029】

【発明の効果】 以上のように、本発明によれば、データ・ロード・ミスの存在に拘わりなく、浮動小数点ユニット(FPU) 上で命令の実行を実質的に連続して行うことが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明に従った浮動小数点ユニット(FPU)、固定小数点ユニット(FXU)、データ・キャッシュ・ユニット(DCU) 及びメモリの相互接続を示す概略ブロック図である。

【図2】 浮動小数点ユニット(FPU) への通常のデータ・ロードを行うために、固定小数点ユニット(FX

\* U) 及び浮動小数点ユニット(FPU) で行われる一連の事象を示す図である。

【図3】 データ・キャッシュ・ユニット(DCU) からのデータのローディングを同期させるために、固定小数点ユニット(FXU) から浮動小数点ユニット(FPU) へ送られる各同期信号を示す図である。

【図4】 浮動小数点レジスタへ単一のデータ・ワードをロードする前に、浮動小数点ユニット(FPU) の内部で行われるデータの回転を示す図である。

10 【図5】 2機械サイクル中の同期信号の流れを示す図である。

【図6】 キャッシュ・ミスが生ずる場合の、nサイクル中の同期信号の流れを示す図である。

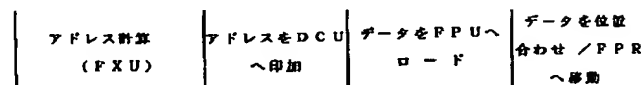
【図7】 データ・キャッシュ(DC) ミスが複数の機械サイクルにわたって継続するような場合の、同期信号の流れを示す図である。

【図8】 6機械サイクル中の種々の同期信号の状況を示す図である。

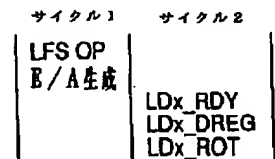
#### 【符号の説明】

- 20 1・・・浮動小数点ユニット(FPU)  
3・・・固定小数点ユニット(FXU)  
5・・・データ・キャッシュ・ユニット(DCU)  
7・・・メモリ  
11・・・浮動小数点レジスタ  
13、15・・・回転手段  
17、19・・・データ・レジスタ  
21、23・・・アドレス生成手段  
31、33・・・データ・バス  
30 32、34・・・データ・ポート  
41、43・・・アドレス・バス  
42、44・・・アドレス・ポート  
51・・・命令バス  
53・・・バス  
55・・・同期バス  
57・・・命令キャッシュ・ユニット  
59・・・命令格納バッファ

【図2】

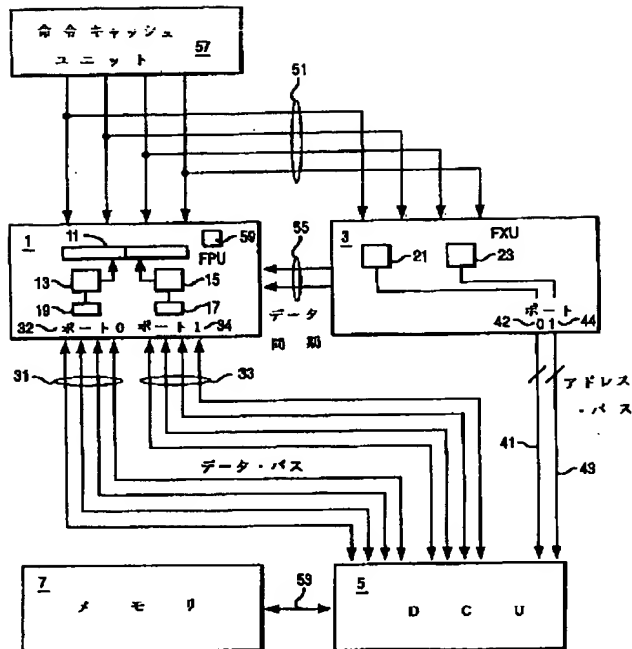


【図5】

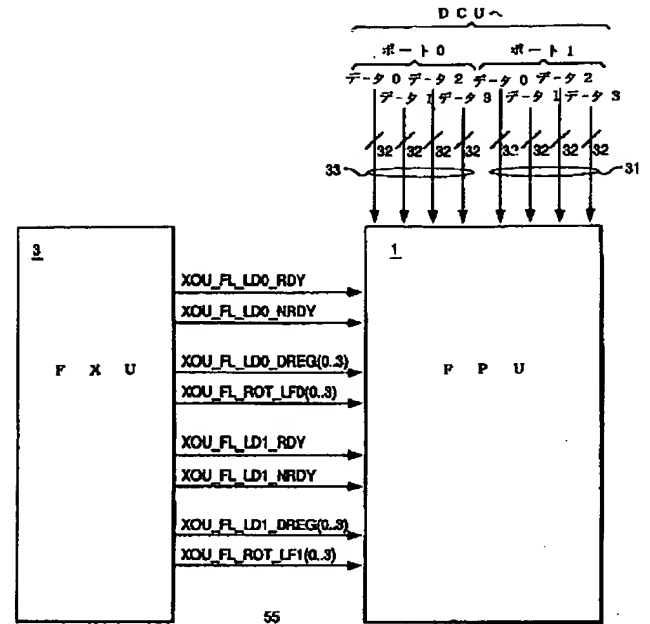




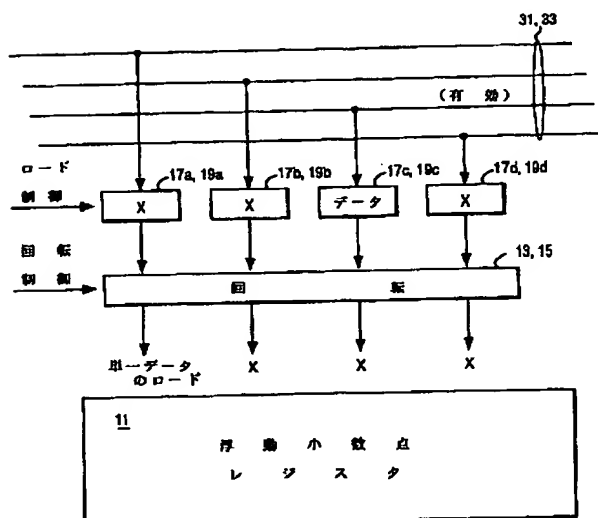
【図1】



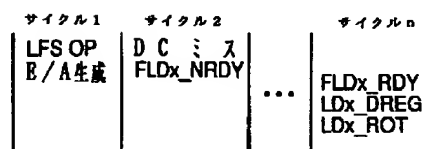
【図3】



【図4】



【図6】



【図8】

サイクル	2	3	4	5	6
XOU_FL_LD0_RDY	0	0	0	1	0
XOU_FL_LD0_NRDY	1	0	0	0	0
XOU_FL_LD0_DREG(0.3)	----	----	----	(有効)	----
XOU_FL_ROT_LF0(0.1)	----	----	----	(有効)	----
XOU_FL_LD1_RDY	1	1	1	0	0
XOU_FL_LD1_NRDY	0	0	0	0	0
XOU_FL_LD1_DREG(0.3)	(有効)	(有効)	(有効)	----	----
XOU_FL_ROT_LF1(0.1)	(有効)	(有効)	(有効)	----	----

【図7】

サイタル	1	2	3	4	5	6
データ・バス 31 アドレス・バス 41	LFS0 (E/A生成)	LD_NRDY0 DC_ミス	DC_ミス	DC_ミス	LD_RDY0 LD_DREG0 LD_ROT0	LD_FPR
データ・バス 33 アドレス・バス 43	LFS1 (E/A生成)	LD_RDY1 LD_DREG1 LD_ROT1 LFS2 (E/A生成)	LD_FPR1 LD_RDY2 LD_DREG2 LD_ROT2 LFS3 (E/A生成)	LD_FPR2 LD_RDY3 LD_DREG3 LD_ROT3	LD_FPR3	

フロントページの続き

(72)発明者 トロイ・ニール・ヒックス  
アメリカ合衆国テキサス州78727、オース  
チン、テインパーサイド・ドライブ  
12804番地

(72)発明者 ラリー・エドワード・サッチャー  
アメリカ合衆国テキサス州78759、オース  
チン、デュー・ケー・ランチ・ロード  
11507番地

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**